

DERWENT-ACC-NO: 1997-518858

DERWENT-WEEK: 199748

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Capacitive element for non-volatile RAM -
includes lower electrode that consists of platinum®, upper
electrode and capacitive insulating film, which are orderly
formed on contact layer

PATENT-ASSIGNEE: MATSUSHITA ELECTRONICS CORP [MATE]

PRIORITY-DATA: 1996JP-0055733 (March 13, 1996)

PATENT-FAMILY:	PUB-NO	PUB-DATE	LANGUAGE
	PAGES MAIN-IPC		
	JP 09246082 A	September 19, 1997	N/A
	H01G 004/10		005

APPLICATION-DATA:	APPL-DESCRIPTOR	APPL-NO
PUB-NO		
APPL-DATE		
JP 09246082A	N/A	1996JP-0055733
March 13, 1996		

INT-CL (IPC): H01G004/012, H01G004/10

ABSTRACTED-PUB-NO: JP 09246082A

BASIC-ABSTRACT:

The element includes a support substrate (11) on which a contact layer (13) that consists of metal or metallic oxide is formed.

A lower electrode (14) that consists of platinum, a capacitive insulating film (15) which consists of metallic oxide and an upper electrode (16) are orderly formed above the contact layer.

ADVANTAGE - Prevents electrical property deterioration of capacitive insulating film.

CHOSEN-DRAWING: Dwg.1/6

TITLE-TERMS: CAPACITANCE ELEMENT NON VOLATILE RAM LOWER ELECTRODE CONSIST

PLATINUM[®] UPPER ELECTRODE CAPACITANCE INSULATE FILM ORDER
FORMING
CONTACT LAYER

DERWENT-CLASS: L03 V01

CPI-CODES: L03-B03;

EPI-CODES: V01-B03A; V01-B03D1;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1997-165423

Non-CPI Secondary Accession Numbers: N1997-431980

PAT-NO: JP409246082A
DOCUMENT-IDENTIFIER: JP 09246082 A
TITLE: CAPACITANCE ELEMENT AND METHOD OF MANUFACTURING
PUBN-DATE: September 19, 1997

INVENTOR-INFORMATION:

NAME
NASU, TORU
IZUTSU, YASUFUMI
KIBE, MAKI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRON CORP	N/A

APPL-NO: JP08055733

APPL-DATE: March 13, 1996

INT-CL (IPC): H01G004/10, H01G004/012

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a capacitance element without the peeling off of an adhering layer or the deterioration of an electric characteristic by suppressing the diffusion of the metal components of the adhering layer in the method of manufacturing the capacitance element with the capacitance insulating film of ferroelectric material.

SOLUTION: An adhering layer 13 made of metal or metal oxide and a lower electrode 14 made of platinum are formed on a supporting substrate 11. Together with forming the capacitance insulating film 15 made of the metal oxide, an upper electrode 16 is formed. In the step of forming the lower electrode 14, the sputtering method is used to form the platinum film of the internal tensile stress of 2×10^{9} dyne/cm² or less after the film forming by setting the temperature of the substrate at 200°C to 600°C, and forming the platinum film of dense film quality, the

diffusion
of the metal components of the adhered layer is suppressed, the peeling
off of
the adhesion layer is prevented and the deterioration of the electric
characteristic is prevented.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246082

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl.⁶

H 01 G 4/10
4/012

識別記号

庁内整理番号

F I

H 01 G 4/10
1/015

技術表示箇所

(21) 出願番号

特願平8-55733

(22) 出願日

平成8年(1996)3月13日

審査請求 未請求 請求項の数3 OL (全5頁)

(71) 出願人 000005843

松下電子工業株式会社
大阪府高槻市幸町1番1号

(72) 発明者 那須 徹

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72) 発明者 井筒 康文

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72) 発明者 木部 真樹

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

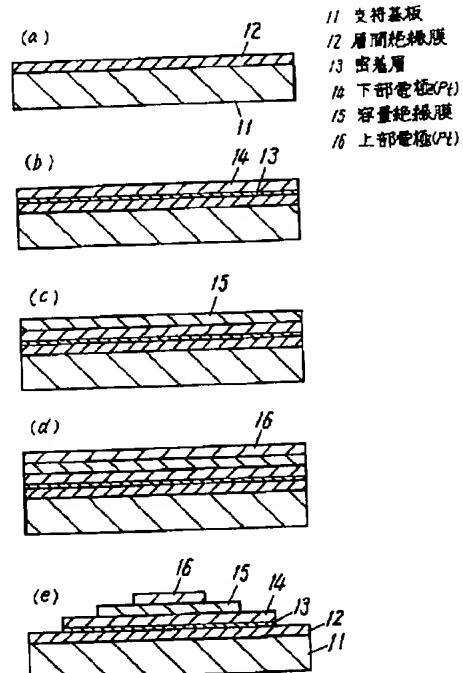
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 容量素子およびその製造方法

(57) 【要約】

【課題】 強誘電体膜を容量絶縁膜とする容量素子の製造方法において、密着層の金属成分の拡散を抑制し、はがれや電気的特性劣化のない容量素子を得ることを目的とする。

【解決手段】 支持基板11上に金属または金属酸化物よりなる密着層13を形成する工程と、白金よりなる下部電極14を形成する工程と、金属酸化物よりなる容量絶縁膜15を形成する工程と、上部電極16を形成する工程とを備え、下部電極14を形成する工程が、成膜後で $2 \times 10^9 \text{ dy n/cm}^2$ 以下の引っ張り応力の内部応力を有する白金を形成するために基板温度を200°C～600°Cに設定してスパッタリング法により形成することを特徴とし、緻密な膜質の白金を形成することにより、密着層の金属成分の拡散を抑制し、はがれや電気的特性劣化を生じさせない。



【特許請求の範囲】

【請求項1】 支持基板上に形成された金属または金属酸化物よりなり密着層と、同密着層上に形成され、引っ張り応力が $2 \times 10^9 \text{ dyn/cm}^2$ 以上である白金よりなる下部電極と、同下部電極上に形成された金属酸化物よりなる容量絶縁膜、および同容量絶縁膜上に形成された上部電極とを備えたことを特徴とする容量素子。

【請求項2】 支持基板上に金属または金属酸化物よりなる密着層を形成する工程と、前記密着層上に、アルゴンガスを用い、基板温度を 200°C 以上 600°C 以下に設定したスパッタリング法により白金を形成して下部電極を形成する工程と、前記下部電極上に金属酸化物よりなる容量絶縁膜を形成する工程、および前記容量絶縁膜上に上部電極を形成する工程とを備えたことを特徴とする容量素子の製造方法。

【請求項3】 スパッタリング法が平行平面型マグネットロン直流電界スパッタリング法であることを特徴とする請求項2記載の容量素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、強誘電性を有する金属酸化物を容量絶縁膜とする容量素子およびその製造方法に関する。

【0002】

【従来の技術】 低動作電圧、高速書き込みおよび高速読み出し可能な不揮発性RAMの実用化を目指し、自発極特性を有する強誘電体膜を容量絶縁膜とする容量素子を半導体集積回路の上に形成するための技術開発が盛んに行われている。

【0003】 以下、従来の容量素子およびその製造方法を図6の工程断面図を用いて説明する。

【0004】 図6 (a) に示すように、シリコン基板よりなる支持基板1上に層間絶縁膜2となるシリコン酸化膜を形成する。次に図6 (b) に示すように、層間絶縁膜2の上に密着層3となる膜厚が約 20 nm の金属チタンおよび下部電極4となる膜厚が 300 nm の白金を、室温で、アルゴンガスを用いたスパッタリング法により連続して形成する。次に図6 (c) に示すように下部電極4の上に容量絶縁膜5となる組成が $\text{SrBi}_2\text{Ta}_2\text{O}_9$ である強誘電体膜をスピノン法で塗布し 800°C で焼成する。次に図6 (d) に示すように容量絶縁膜5の上に上部電極6となる白金をスパッタリング法により形成する。さらに図6 (e) に示すように写真食刻法とドライエッキング法により加工を行い、容量素子を形成する。

【0005】

【発明が解決しようとする課題】 しかしながら従来の構造およびその製造方法では、下部電極4を形成する白金を室温で形成しているため、柱状結晶粒の並んだ荒い膜質であるため結晶粒界を通じて密着層3の金属成分が、

下部電極4へ拡散し易く、密着層3が消滅して密着強度が劣化しあがれが生じたり、さらに容量絶縁膜5にまで拡散して容量素子の電気的特性が劣化するという課題を有していた。

【0006】 本発明は上記の従来の課題を解決するもので、緻密な膜質の白金を形成することにより、はがれや電気的特性劣化のない容量素子およびその製造方法を提供することを目的とする。

【0007】

10 【課題を解決するための手段】 この目的を達成するためには本発明の容量素子は、密着層の上に形成された下部電極を形成する白金が、 $2 \times 10^9 \text{ dyn/cm}^2$ 以上の引っ張り応力の内部応力を有するものであり、その製造方法は、下部電極を形成する白金を基板温度を 200°C 以上 600°C 以下にしてアルゴンガスによるスパッタリング法により形成するものである。

【0008】 本発明によれば、緻密な膜質の白金を形成することができ、はがれや電気的特性劣化のない容量素子が得られる。

【0009】

【発明の実施の形態】 本発明の請求項1に記載の発明は、支持基板上に形成された金属または金属酸化物よりなり密着層と、同密着層上に形成され、引っ張り応力が $2 \times 10^9 \text{ dyn/cm}^2$ 以上である白金よりなる下部電極と、同下部電極上に形成された金属酸化物よりなる容量絶縁膜および同容量絶縁膜上に形成された上部電極とを備えたものであり、これにより白金が緻密な膜質となるため、密着層を形成する金属成分が白金で形成された下部電極へ拡散することを抑制する作用を有する。

30 【0010】 請求項2に記載の発明は、支持基板上に金属または金属酸化物よりなる密着層を形成する工程と、前記密着層上に、アルゴンガスを用い、基板温度を 200°C 以上 600°C 以下に設定したスパッタリング法により白金を形成して下部電極を形成する工程と、前記下部電極上に金属酸化物よりなる容量絶縁膜を形成する工程および前記容量絶縁膜上に上部電極を形成する工程とを備えたものであり、これにより下部電極を形成する白金の引っ張り応力を $2 \times 10^9 \text{ dyn/cm}^2$ 以上とすることができ、白金を緻密な膜質とすることができます。この結果密着層を形成する金属成分が白金で形成された下部電極へ拡散することを抑制することができる。

40 【0011】 請求項3に記載の発明は、請求項2記載のスパッタリング法が平行平面型マグネットロン直流電界スパッタリング法であり、これにより白金をより緻密な膜質とすることができます。

【0012】 以下、本発明の一実施の形態における容量素子およびその製造方法を図1の工程断面図を用いて説明する。

【0013】 (実施の形態1) 図1 (a) に示すよう 50 に、シリコン基板よりなる支持基板11上に層間絶縁膜

3

12となるシリコン酸化膜を形成する。次に、図1 (b)に示すように、層間絶縁膜12の上に密着層13となる膜厚が約20nmの金属チタンを形成し、その上に下部電極14となる膜厚が300nmの白金を、基板温度を200°C~600°Cに設定し、アルゴンガスを用いた平行平面型マグネットロン直流電界スパッタリング法により形成する。次に図1 (c)に示すように下部電極14の上に容量絶縁膜15となる組成がSrBi₂Ta₂O₉である強誘電体膜をスピンドルオン法で塗布し800°Cで焼成する。次に図1 (d)に示すようにこの上に上部電極16となる白金をスパッタリング法により形成する。さらに図1 (e)に示すように写真食刻法とドライエッティング法により加工を行い、容量素子を形成する。

【0014】ところで図1 (b)の下部電極14を形成する白金のスパッタリングでは、密着層13の金属チタンの下部電極14への拡散を防ぐため緻密な膜質の白金が要求される。図2~図4に白金の成膜条件と白金の内部応力との関係を示す。内部応力が引っ張り方向で大きいほど緻密な膜となる。このことを以下に説明する。図2は室温で、スパッタリング・パワー0.72kWの条件での白金の内部応力のArガス圧依存性を示す図である。図3は室温で、Arガス圧8mTorrの条件での白金の内部応力のスパッタリング・パワー依存性を示す図である。図4はスパッタリング・パワー0.72kWでArガス圧が8mTorrの条件での白金の内部応力の基板温度依存性を示す図である。図から分かるように、白金の内部応力はArガス圧やスパッタリング・パワーによってあまり変化していない。これらに比べて白金の内部応力は基板温度依存性が大きく、基板温度が高いほど内部応力は引っ張り方向に強くなる。図5に、容量素子形成後の下部電極14の白金と支持基板11上に形成された層間絶縁膜12のシリコン酸化膜との密着強度のArガス圧が8mTorr、スパッタリング・パワー0.72kWの条件での基板温度依存性を示す。密着強度は走査型スクラッチテスターにより膜がはがれた時の臨界荷重として評価した。基板温度が高いほど臨界荷重が大きくなる。このことから白金の引っ張り応力が大きくなるほど、臨界荷重すなわち密着強度が大きくなることがわかる。この結果、基板温度が高くなるほど、言い換えれば白金の引っ張り応力が大きくなるほど、密着層13を形成するチタンの拡散が抑制され、密着強度が強くなることがわかる。以上の結果、白金の成膜条件は基板温度を図5に示した臨界荷重がほぼ飽和する200°C以上にして $2 \times 10^9 \text{ dyn/cm}^2$ 以上の引っ張り応力を有する緻密な膜を形成することにより、チタン拡散力をほぼ抑制し、密着性の劣化をなくすことができる。

【0015】なお基板温度の上限を600°Cとしたの

4

は、600°C以上にすれば拡散が進みすぎることや金属膜にヒルロックができやすくなるためである。

【0016】なお本実施の形態では支持基板として単なるシリコン基板としたが、集積回路を作り込んだシリコン基板でもよく、あるいは石英基板やGaAs基板などでもよい。また本実施の形態では容量絶縁膜として、Bi系層状ペロブスカイト型構造を有する代表的な組成のSrBi₂Ta₂O₉を用いたがPb(Zr_{1-x}Ti_x)O₃や(Ba_{1-x}Sr_x)TiO₃などの他の強誘電体膜でもよく、あるいはタンタル酸化物などの他の金属酸化物でもよい。

【0017】また本実施の形態では容量絶縁膜をスピンドルオン法で形成したが、スパッタリング法や化学気相成長法で形成してもよい。

【0018】また本実施の形態では密着層に金属チタンを用いたが、タンタルなどの他の金属やルテニウム酸化物・イリジウム酸化物などの他の金属酸化物でもよい。

【0019】

【発明の効果】本発明の容量素子は、下部電極を形成する白金が $2 \times 10^9 \text{ dyn/cm}^2$ 以上の引っ張り応力を有するものであり、その製造方法はこの白金をスパッタリング法により200°C~600°Cの基板温度で形成することを特徴とし、これにより緻密な膜質の白金を形成することにより密着層の金属成分を下部電極側への拡散を抑制し、密着層が薄くなることによるはがれや密着層の金属成分が容量絶縁膜にまで拡散してきて容量絶縁膜の電気的特性を劣化させることを防ぐことができる。

【図面の簡単な説明】

30 【図1】本発明の一実施の形態における容量素子およびその製造方法を示す工程断面図

【図2】白金の内部応力のアルゴンガス圧依存性を示す図

【図3】白金の内部応力のスパッタリング・パワー依存性を示す図

【図4】白金の内部応力の基板温度依存性を示す図

【図5】白金下部電極と支持基板との密着性の基板温度依存性を示す図

【図6】従来例における容量素子の製造方法を示す工程断面図

【符号の説明】

11 支持基板

12 層間絶縁膜

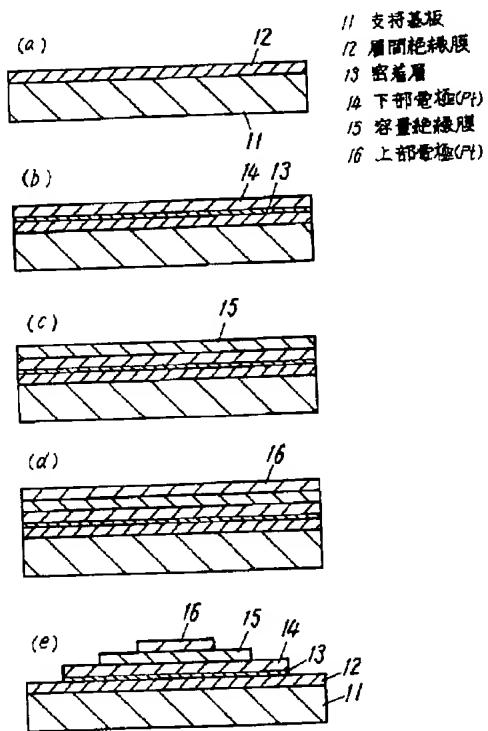
13 密着層

14 下部電極

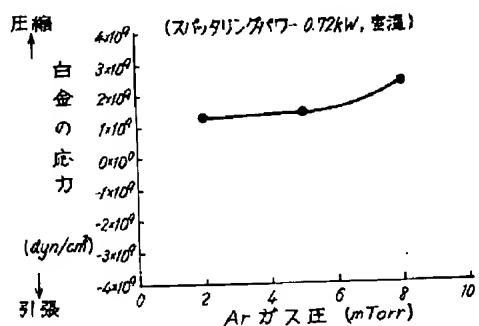
15 容量絶縁膜

16 上部電極

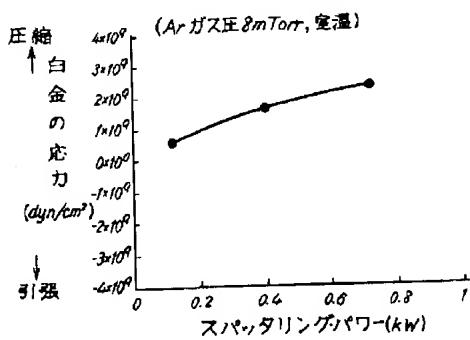
【図1】



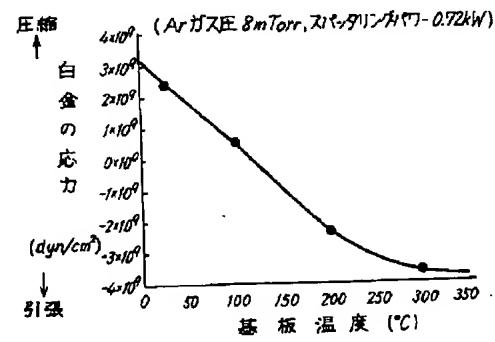
【図2】



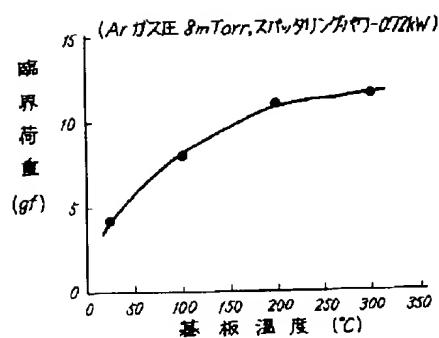
【図3】



【図4】



【図5】



【図6】

